

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-359256

(43)Date of publication of application : 13.12.2002

(51)Int.Cl.

H01L 21/338

H01L 29/778

H01L 29/812

(21)Application number : 2001-164908

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.05.2001

(72)Inventor : YOSHIKAWA SHUNEI

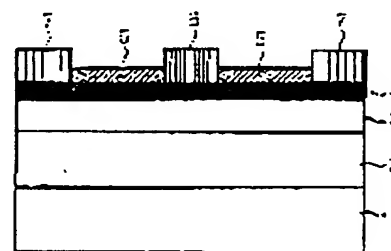
(54) FIELD EFFECT COMPOUND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance on-breakdown voltage of a GaN compound semiconductor device, and to improve the I-V characteristics.

SOLUTION: A field effect compound semiconductor device comprises a GaN protective layer 4, made of an $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($0 \leq y \leq 1$) and $y < x$ which is of the same conductivity type as that of a running carrier and provided on an upper part of a carrier supply layer 3 made of an $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 1$), and a gate electrode 6 and source/drain electrode 7 formed on the layer 4, in such a manner that electrodes are covered with an SiN film 5.

本発明の原理的構成の説明図



1: 基板
2: AlGaIn化合物層
3: AlGaIn化合物層
4: GaN保護層
5: SiN膜
6: ゲート電極
7: ソース・ドレイン電極

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-359256

(P2002-359256A)

(43) 公開日 平成14年12月13日 (2002.12.13)

(51) Int. Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 1 L 21/338 29/778 29/812		H 0 1 L 29/80	H 5 F 1 0 2

審査請求 未請求 請求項の数 3 O L (全 9 項)

(21) 出願番号	特願2001-164908 (P2001-164908)	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22) 出願日	平成13年5月31日 (2001.5.31)	(72) 発明者	吉川 啓 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(74) 代理人	100105337 弁護士 藤崎 誠 (外3名)
		Fターム (参考)	SF102 FA01 GB01 GC01 GJ10 GL04 GM04 GN08 GP04 GR08 GS01 GT04 GU10 GV08 HW01 HC10 HC15

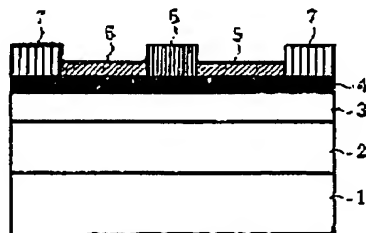
(54) 発明の名称 電界効果型化合物半導体装置

(57) 要約

【課題】 電界効果型化合物半導体装置に関し、Ga N系化合物半導体装置のオン耐圧を高めるとともに、 $i-v$ 特性を改善する。

【解決手段】 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) からなるキャリア供給層3の上部に走行キャリアと同導性の $Al_xGa_{1-x}N$ ($0 \leq y \leq 1$ 、且つ、 $y < x$) からなるGa N系保護層4を設け、前記Ga N系保護層4上にゲート電極6及びソース・ドレイン電極7を形成するとともに、前記各電極間をSi N膜5で被覆する。

本発明の原理的構成の説明図



- | | |
|------------|---------------|
| 1: 基板 | 5: SiN膜 |
| 2: キャリア走行層 | 6: ゲート電極 |
| 3: キャリア供給層 | 7: ソース・ドレイン電極 |
| 4: GaN系保護層 | |

(2)

特開2002-359256

1

【特許請求の範囲】

【請求項1】 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) をキャリア供給層とし、 GaN をキャリア走行層とした電界効果型化合物半導体装置において、前記キャリア供給層の上部に走行キャリアと同導電型の第一導電型の $Al_xGa_{1-x}N$ ($0 \leq y \leq 1$ 、且つ、 $y < x$) からなる GaN 系保護層を設け、前記 GaN 系保護層上にゲート電極及びソース・ドレイン電極を形成するとともに、前記電極間を SiN 膜で被覆したことを特徴とする電界効果型化合物半導体装置。

【請求項2】 上記キャリア供給層、キャリア走行層、或いは、 GaN 系保護層の少なくとも一つに、 In を添加したことを特徴とする請求項1記載の電界効果型化合物半導体装置。

【請求項3】 上記 GaN 系保護層のドーピング濃度が、上記キャリア供給層との界面に発生するピエゾ電荷の20～80%のシート濃度であることを特徴とする請求項1または2記載の電界効果型化合物半導体装置。

【請求項4】 上記 GaN 系保護層が、走行キャリアと同導電型の層とアンドープ層との二層構造からなり、前記走行キャリアと同導電型の層が上記キャリア供給層に接するとともに、前記アンドープ層が SiN 膜に接することを特徴とする請求項1乃至3のいずれか1項に記載の電界効果型化合物半導体装置。

【請求項5】 上記 GaN 系保護層と $Al_xGa_{1-x}N$ ($0 < x \leq 1$) からなるキャリア供給層との間に $Al_xGa_{1-x}N$ ($2 > x$) を挿入したことを特徴とする請求項1乃至3のいずれか1項に記載の電界効果型化合物半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電界効果型化合物半導体装置に関するものであり、特に、キャリア走行層としてナイトライド系III-V族化合物半導体を用いたHEMT（高電子移動度トランジスタ）タイプの化合物半導体装置における特性安定化のための保護膜構造に特徴のある電界効果型化合物半導体装置に関するものである。

【0002】

【従来の技術】 近年、サファイア、 SiC 、 GaN 、もしくは、 Si 等を基板に採用して、 $AlGaN/GaN$ を結晶成長し GaN を電子走行層とする電子デバイスの開発が活発である。

【0003】 この様な電子デバイスの電子走行層として用いられる GaN は、電子移動度が $GaAs$ に比べて小さいものの、バンドギャップが3.4 eVと $GaAs$ の1.4 eVに比べて大きいため、 $GaAs$ 系電子デバイスでは不可能な高耐圧での動作が期待されている。

【0004】 例えば、現在携帯電話の基地局用アンプでは50 Vの高電圧動作が求められており、高耐圧性能が必須となっているが、現状の $GaAs$ 系電子デバイスで

2

は12 Vでの駆動が限界であるため、50 Vの高電圧を低下して使用しているのが現状であり、そのために効率が低下したり、或いは、歪みが発生するという問題がある。

【0005】 ここで、図7を参照して、従来の GaN 系HEMTを説明する。

図7 (a)を参照

まず、C面を主面とするサファイア基板41上に、通常のMOCVD法（有機金属気相成長法）を用いて、厚さが3 μm の、 i 型 GaN 電子走行層42、厚さが3 nmの、 i 型 $Al_{0.1}Ga_{0.9}N$ 層43、厚さが25 nmで、 Si ドーピング濃度が $2 \times 10^{19} cm^{-3}$ の n 型 $Al_{0.1}Ga_{0.9}N$ 電子供給層44、及び、厚さが5 nmの i 型 $Al_{0.1}Ga_{0.9}N$ 保護層45を順次堆積させる。

【0006】 次に、全面に、CVD法を用いて厚さが20 nmの SiN 膜46を堆積したのち、ゲート形成領域に開口部を設けて Ni/Au からなるゲート電極47を形成するとともに、ソース・ドレインコンタクト領域に開口部を設けて Ti/Au からなるソース電極48及びドレイン電極49を形成することによって、 GaN 系HEMTの基本構造が完成する。

【0007】 図7 (b)を参照

図7 (a)は、上述の GaN 系のバンドダイヤグラムであり、 GaN や $AlGaN$ 等の GaN 系半導体においてはc軸方向に分極しており、 i 型 GaN 電子走行層42/ i 型 $Al_{0.1}Ga_{0.9}N$ 層43の界面の、 i 型 $Al_{0.1}Ga_{0.9}N$ 層43側に格不整合に起因するピエゾ効果によって、例えば、 $1 \times 10^{19} cm^{-3}$ の正の分極電荷が現れるため、 i 型 GaN 電子走行層42の、 i 型 GaN 電子走行層42/ i 型 $Al_{0.1}Ga_{0.9}N$ 層43の界面の近傍に約 $1 \times 10^{19} cm^{-3}$ の電子が誘起され、二次元電子ガス層50を形成する。

【0008】 この様な、 i 型 GaN 電子走行層42における二次元電子ガス層50の電子移動度は1000～1500程度であるが、二次元電子ガスの濃度が約 $1 \times 10^{19} cm^{-3}$ と $GaAs$ 系の二次元電子ガスの濃度に比べて1倍以上大きいので、 $GaAs$ 系HEMTと同程度の高電圧動作特性を得ることができるとともに、熱電特性が広いので高耐圧特性が得られる。図に、現在、電流オフ時の耐圧として200 Vを超える値が報告されている。

【0009】 また、 i 型 $Al_{0.1}Ga_{0.9}N$ 保護層45を設けることによって、ゲート電極へのトンネル電流を低減し、少しでも耐圧を向上させることができる。

【0010】

【発明が解決しようとする課題】 しかし、従来の GaN 系HEMTにおいては、電流オン時の耐圧が20 Vをこそこであり、高電圧動作ができないという課題が浮上しているが、これは GaN 系デバイスの基本的特性から見て、従来の $GaAs$ 系のFETとは異なり、イオン化衝突ではなく表面の問題で起きていると考えられる。

(3)

特開2002-359256

【0011】即ち、Ga_xN系半導体は禁制帯幅が広いので、イオン化衝突によるオン時のブレイクダウンが客観的に発生しにくいものであり、且つ、実際に測定したI-V特性の振る舞いからみてもイオン化衝突ではないと考えられる。

【0012】また、この様なGa_xN系HEMTにおいては、高ゲート電圧動作下においてI-V特性に大きなヒステリシスが見られ、高周波領域における相互コンダクタンス g_m が低下し電流駆動ができなくなるという問題があるので、この様子を図8を参照して説明する。

【0013】図8(a)を参照

図8(a)は、上述の構造のGa_xN系HEMTにおいて、ゲート幅 W_g を $W_g = 40 \mu m$ にするとともにSi₃N₄膜を除去した場合のI-V特性図であり、高ゲート電圧動作下においてI-V特性に大きなヒステリシスが見られる。

【0014】図8(b)を参照

図8(b)は、図7(a)に示したGa_xN系HEMTにおいて、ゲート幅 W_g を $W_g = 40 \mu m$ にした場合のI-V特性図であり、高ゲート電圧動作下においてI-V特性に大きなヒステリシスが見られ、ヒステリシスに関してはSi₃N₄膜を設けても格別の改善は得られないことが理解される。

【0015】これは、型A1、...、Ga_xN保護層4の表面側に現れる負のビエゾ電荷がI-V特性に影響を与えるためと考えられ、Si₃N₄膜を設けることによって、負のビエゾ電荷が表面側から内部に追いやられることによって多少特性は改善されるが、依然として問題になる。なお、表面保護膜として、Si₃N₄膜の代わりにSiO₂膜を設けても事情は同じである。

【0016】したがって、本発明は、Ga_xN系化合物半導体装置のオン耐圧を高めるとともに、I-V特性を改善することを目的とする。

【0017】

【課題を解決するための手段】図1は本発明の原理的構成の説明図であり、この図1を参照して本発明における課題を解決するための手段を説明する。

図1を参照

上述の目的を達成するために、本発明においては、A1、Ga_xN ($0 < x \leq 1$)をキャリア供給層3とし、Ga_xNをキャリア走行層2とした電界効果型化合物半導体装置において、キャリア供給層3の上部に走行キャリアと同導電型のA1、Ga_xN ($0 \leq y \leq 1$ 、且つ、 $y < x$)からなるGa_xN系保護層4を設け、前記Ga_xN系保護層4上にゲート電極6及びソース・ドレイン電極7を形成するとともに、前記各電極間をSi₃N₄膜5で被覆したことを特徴とする。

【0018】この様に、キャリア供給層3上にGa_xN系保護層4を配置することによって、ビエゾ電荷によってバンドを持ち上げてトンネル電流を低減しショットキー

特性を向上することができ、且つ、Ga_xN系保護層4を走行キャリアと同導電型にすることによって、ビエゾ電荷によって持ち上げられすぎた界面ポテンシャルを持ち下げて導電性を改善するとともに、界面近傍に誘起されるホールを相殺してスクリーニングすることができ、さらに、A1に起因する表面トラップの影響を排除することができ、それによって、安定なI-V特性を得ることができる。なお、この場合のスクリーニングの定義とはGa_xN系保護層4を使わない場合のA1Ga_xN/Ga_xN-FET構造の場合の最大電流密度を100とした場合に、Ga_xN系保護層4を使用しても80以上の最大電流密度を出せるようにする意味である。

【0019】特に、Si₃N₄膜5を設けることによって、界面近傍に誘起されるホールをさらに内部に追いやることができ、それによって、ヒステリシス特性が発生することを防止することができるとともに、ビエゾ電荷によって持ち上げられた界面ポテンシャルを持ち下げることで、フェルミ準位を相対的に上げるので、電流密度を大きくすることができる。また、Ga_xN系保護層4を走行キャリアと同導電型とすることによって、ソース・ドレイン電極7のオーミック性を高めることができる。

【0020】なお、この場合のGa_xN系保護層4は、A1、Ga_yN ($0 \leq y \leq 1$ 、且つ、 $y < x$)であるが、より好適には、 $y \leq 0.1$ が望ましい。また、この場合の基板1としては、サファイア基板、Ga_xN基板、或いは、SiC基板のいずれでも良い。

【0021】この場合、キャリア供給層3、キャリア走行層2、或いは、Ga_xN系保護層4の少なくとも一つに、Inを添加しても良いものであり、Inの添加によって禁制帯幅が小さくなるがキャリアの移動度が高まる。

【0022】また、Ga_xN系保護層4の厚さは、10nm以下にすることが望ましく、それによってGa_xN系保護層4を流れるリーク電流の発生やショットキー電極の耐圧を高めることができる。

【0023】また、Ga_xN系保護層4のドーピング濃度が、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることが望ましく、それによって、界面近傍に誘起されるホールを相殺してスクリーニングすることができる。

【0024】この場合、シート濃度としてスクリーニングするためには、キャリア供給層3との界面に発生するビエゾ電荷の20~80%のシート濃度であれば良く、シート濃度が低すぎればスクリーニング効果が得られず、一方、シート濃度が高すぎると、逆方向耐圧BV_{off}が低下して、所期の高耐圧特性が得られなくなる。

【0025】この様なシート濃度を得るためには、キャリア供給層3との界面側に、導電型決定不純物を原子層ドーピングすれば良く、n型の場合にはS、Seのいずれか1つを用いれば良い。

(4)

特開2002-359256

【0026】また、Ga_xN系保護層4を走行キャリアと同導電型の層とアンドープ層との二層構造で構成しても良く、それによって、最表面をアンドープ層にすることができるので、I-V特性をより安定化することができる。

【0027】また、Ga_xN系保護層4とAl_{1-x}Ga_xN (0<x≤1) からなるキャリア供給層3との間にAl_{1-x}Ga_xN (2>x) を挿入しても良く、Al_{1-x}Ga_xN (2>x) をスッチングストップ層とすることによって、加工特性が高まる。

【0028】

【発明の実施の形態】ここで、図2及び図3を参照して、本発明の第1の実施の形態のGa_xN系HEMTを説明する。

図2(a)を参照

まず、C面を主面とするサファイア基板11上に、通常のMOCVD法を用いて、厚さが、例えば、3μmの、 n 型Ga_xN電子走行層12、厚さが、例えば、2nmの、 i 型Al_{1-x}Ga_xN層13、厚さが、例えば、25nmで、 S_i ドーピング濃度が、例えば、 $2 \times 10^{17} \text{ cm}^{-3}$ の n 型Al_{1-x}Ga_xN電子供給層14、及び、厚さが10nm以下、例えば、5nmで、 S_i ドーピング濃度が、例えば、 $2 \times 10^{17} \text{ cm}^{-3}$ の n 型Ga_xN保護層15を順次堆積させる。

【0029】次いで、全面に、CVD法を用いて厚さが20nmのSi₃N₄層16を堆積したのち、ゲート形成領域に開口部を設けてN₂/Auからなるゲート電極17を形成するとともに、ソース・ドレインコンタクト領域に開口部を設けてTi/Auからなるソース電極18及びドレイン電極19を形成することによって、Ga_xN系HEMTの基本構造が完成する。なお、この場合、 n 型Ga_xN保護層15の膜厚が10nmを超えるとリーク電流が発生し、ショットキー電極であるゲート電極17に耐圧がなくなる。また、図において、単体のHEMTとして説明しているが、集積化する場合には、イオン注入あるいはメサエッチングによって素子分離を行えば良い。

【0030】図2(b)を参照

図2(b)は、上述のGa_xN系HEMTのバンドダイアグラムであり、Ga_xNやAl_{1-x}Ga_xN等のGa_xN系半導体においてはc軸方向に分極しており、 i 型Ga_xN電子走行層12/ i 型Al_{1-x}Ga_xN層13の界面の i 型Al_{1-x}Ga_xN層13側に電子不整合に起因するピエゾ効果によって、例えば、 $1 \times 10^{17} \text{ cm}^{-3}$ の正の分極電荷が現れるため、 i 型Ga_xN電子走行層12の、 i 型Al_{1-x}Ga_xN層13との界面の近傍に約 $1 \times 10^{17} \text{ cm}^{-3}$ の電子が誘起され、二次元電子ガス層20を構成する。

【0031】図3(a)を参照

図3(a)は、ゲート幅W_gをW_g=40nmにした場

合のI-V特性図であり、従来のGa_xN系HEMTにおける i 型Al_{1-x}Ga_xN保護層を n 型Ga_xN保護層に置き換えた結果、良好な特性が得られたことが確認された。

【0032】これは、図2(b)に示すように、保護層として n 型Ga_xN層を用いた結果、

① n 型層の電子により、 n 型Ga_xN保護層15と n 型Al_{1-x}Ga_xN電子供給層14との界面に誘起されるホール21をスクリーニングして、このホール21がゲート電圧特性に影響を与えないようにしたため、
②ソース電極18及びドレイン電極19のオーミック性が向上するため、

③表面がGa_xN層になるので、Alに起因する表面トラップの影響が解消されるため、

④表面がGa_xN層になるので、Al/GaNに比べてエッチング耐性が高まるので、加工ダメージが表面に導入されにくくなるため、と考えられる。

【0033】また、 n 型Al_{1-x}Ga_xN電子供給層14の伝導帯のバンド端が持ち上がることによって、フェルミ準位が相対的に下がることになり、それによって二次元電子ガスの濃度が低下して電流が低下するが、その代わり、相互コンダクタンス g_m の飽和領域における低下を防止するという効果も得られる。

【0034】図3(b)を参照

図3(b)は、本発明の第1の実施の形態において、 S_i 層18を設けない場合のI-V特性図を参考として示したものであり、V_{gs}を4段階に分けて印加した場合の特性曲線を合わせて表示している。図から明らかなように、本装置なるはすの同じゲート電圧における特性曲線が、ゲート電圧が大きくなるほどずれており、安定したI-V特性が得られていないことが把握される。

【0035】図4(a)を参照

図4(a)は、本発明の第1の実施の形態における n 型Ga_xN保護層15のドーピング濃度を 10^{17} cm^{-3} に高めた場合の逆方向耐圧B_{V_{gs}}の特性図であり、逆方向耐圧B_{V_{gs}}が1V以下に低下していることが確認された。なお、この場合は、ゲート・ドレイン間のショットキーバリアダイオード特性として見ている。

【0036】図4(b)を参照

図4(b)は、 n 型Ga_xN保護層のドーピング濃度を 10^{17} cm^{-3} にした場合のバンドダイアグラムであり、 $5 \times 10^{17} \text{ cm}^{-3}$ の場合に比べて、 n 型Ga_xN保護層15と n 型Al_{1-x}Ga_xN電子供給層14との界面水タンシャルが持ち下げられ、ショットキー特性が低下したためと考えられる。

【0037】したがって、高耐圧を得るためには、ピエゾ電界に起因して界面に発生するホールを完全にスクリーニングしただけではだめであり、ピエゾ電界の20〜80%を補償するように n 型Ga_xN保護層15のドーピ

(5)

特開2002-359256

7

ング量を設定する必要があり、それによって、50Vの順方向耐圧と200Vの逆方向耐圧を実現することができ、

【0038】次に、図5を参照して、本発明の第2の実施の形態のGaN系HEMTを説明する。

図5参照

図5は、本発明の第2の実施の形態のGaN系HEMTの概略的断面図であり、n型GaN保護層15の上に厚さが、例えば、5nmのi型GaN保護層31を設けた以外は、上記の第1の実施の形態と全く同様である。

【0039】この様に、本発明の第2の実施の形態においては、デバイスの動作特性に影響を与える逆電領域を表面から遠ざけているので、表面状態に起因する悪影響をより低減することができ、それによって、耐圧をより高めることが可能になる。

【0040】次に、図6を参照して、本発明の第3の実施の形態のGaN系HEMTを説明する。

図6参照

図6は、本発明の第3の実施の形態のGaN系HEMTの概略的断面図であり、まず、C面を主面とするサファイア基板11上に、通常のMOCVD法を用いて、厚さが、例えば、3μmのi型GaN電子走行層12、厚さが、例えば、2nmのi型Al_{0.15}Ga_{0.85}N層13、厚さが、例えば、25nmで、Siドーピング濃度が、例えば、 $2 \times 10^{18} \text{ cm}^{-3}$ のn型Al_{0.15}Ga_{0.85}N電子供給層14、厚さが、例えば、2nmで、Siドーピング濃度が、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ のn型AlN層32、及び、厚さが10nm以下、例えば、5nmで、Siドーピング濃度が、例えば、 $2 \times 10^{18} \text{ cm}^{-3}$ のn型GaN保護層15を順次堆積させる。

【0041】次に、ゲート形成領域のn型GaN保護層15を等方性エッチングしたのち、n型AlN層32を選択的にエッチングして、ゲートリセス部を形成し、次いで、全面に、CVD法を用いて厚さが20nmのSi₃N₄膜16を堆積したのち、ゲート形成領域に開口部を設けてN₂/Arからなるゲート電極17を形成するとともに、ソース・ドレインコンタクト領域に開口部を設けてTi/Alからなるソース電極18及びドレイン電極19を形成することによって、GaN系HEMTの基本構造が完成する。この場合、n型AlN層32はゲートリセス部を形成する際の選択エッチング除去層として機能する。

【0042】この本発明の第3の実施の形態においては、ゲートリセス構造を採用しているため、n型GaN保護層15を介したリーク電流が発生することがなく、それによって、耐圧をさらに高めることが可能になる。

【0043】以上、本発明の各実施の形態を説明してきたが、本発明は各実施の形態に記載された構成・条件に限られるものではなく、各種の変更が可能である。例えば、上記の実施の形態においては、保護層として均一に

8

ドーピングしたn型GaN層を用いているが、Si、Se、S等のn型不純物をプレーナードープ（原子層ドーピング）しても良いものであり、例えば、界面前後5nmのシートドーピング濃度を $3.5 \times 10^{18} \text{ cm}^{-3}$ 程度とすれば良い。

【0044】また、保護層はn型GaN層に限られるものではなく、Al組成比yが $y \leq 0.1$ であるならば、n型Al、Ga、N層を用いても良いものである。

【0045】また、上記の第3の実施の形態においては、エッチングストップ層としてAlN層を用いているが、AlN層に限られるものではなく、電子供給層となるAl、Ga、N層よりAl組成比zが大きな、 $z > x$ のAl、Ga、N層を用いても良いものである。

【0046】また、上記の各実施の形態においては、電子供給層をAl_{0.15}Ga_{0.85}N層で構成しているが、この場合のAl組成比xは $x = 0.25$ に限られるものではなく、 $x = 0.10 \sim 0.40$ の範囲を用いることが望ましい。

【0047】また、上記の各実施の形態においては、電子供給層をn型AlGaN層で構成しているが、必ずしもドーピング層である必要はなく、GaN系HEMTにおいては結晶界面に起因する分極によって発生するピエゾ電荷によって二次元電子ガスを誘起しているのでアンドーピングを用いても良いものである。

【0048】また、上記の各実施の形態においては、電子走行層をGaN層で、電子供給層をAlGaN層で、保護層をGaN層で構成しているが、この様な構成に限られるものではなく、電子走行層、電子供給層、即ち、保護層の少なくとも一層にInを添加しても良いものである。

【0049】例えば、電子走行層にInを添加してInGaNにした場合には、電子の移動度が高くなり、また、保護層にInを添加してInGaNにした場合には、禁制帯幅は小さくなるので、保護層/電子供給層の界面ポテンシャルをGaN層の場合に比べて持ち下げるができる。

【0050】また、上記の各実施の形態においては、基板としてサファイアを用いているが、サファイアに限られるものではなく、SiC基板或いはGaN基板を用いても良いものであり、特に、SiCはサファイアに比べて熱伝導性に優れるので、高電圧動作を伴う携帯電話の基地局用アンパに適するものである。

【0051】また、上記の各実施の形態においては、nチャネル型HEMTとして説明しているが、pチャネル型HEMTにも適用されることはいうまでもないことであり、その場合には各層における導電型を反転させれば良い。

【0052】ここで、再び、図1を参照して、本発明の詳細な構成の特徴点を説明する。

図1参照

(5)

特開2002-359256

15

(付記1) Al, Ga, \dots, N ($0 < x \leq 1$) をキャリア供給層3とし、 GaN をキャリア走行層2とした電界効果型化合物半導体装置において、キャリア供給層3の上部に走行キャリアと同導型の Al, Ga, \dots, N ($0 \leq y \leq 1$ 、且つ、 $y < x$) からなる GaN 系保護層4を設け、前記 GaN 系保護層4上にゲート電極6及びソース・ドレイン電極7を形成するとともに、前記各電極層を SiN 膜5で被覆したことを特徴とする電界効果型化合物半導体装置。(1)

(付記2) 上記キャリア供給層、キャリア走行層2、
或いは、 GaN 系保護層4の少なくとも一つに、 In を添加したことを特徴とする付記1記載の電界効果型化合物半導体装置。(2)

(付記3) 上記 GaN 系保護層4の厚さが、 $10nm$ 以下であることを特徴とする付記1または2に記載の電界効果型化合物半導体装置。

(付記4) 上記 GaN 系保護層4のドーピング濃度が、 $1 \times 10^{17} cm^{-3}$ 以上であることを特徴とする付記1乃至3のいずれか1に記載の電界効果型化合物半導体装置。

(付記5) 上記 GaN 系保護層4のドーピング濃度が、上記キャリア供給層3との界面に発生するピエゾ電荷の20~80%のシート濃度であることを特徴とする付記1乃至3のいずれか1に記載の電界効果型化合物半導体装置。(3)

(付記6) 上記 GaN 系保護層4の導電型が n 型であり、キャリア供給層3との界面側に、 Si 、 S 、 Se のいずれか1つからなる原子層ドーピングを行ったことを特徴とする付記5記載の電界効果型化合物半導体装置。

(付記7) 上記 GaN 系保護層4が、走行キャリアと同導型の層とアンドープ層との二層構造からなり、前記走行キャリアと同導型の層が上記キャリア供給層3に接するとともに、前記アンドープ層が SiN 膜5に接することを特徴とする付記1乃至6のいずれか1に記載の電界効果型化合物半導体装置。(4)

(付記8) 上記 GaN 系保護層4と Al, Ga, \dots, N ($0 < x \leq 1$) からなるキャリア供給層3との間に、 Al, Ga, \dots, N ($z > x$) を挿入したことを特徴とする付記1乃至7のいずれか1に記載の電界効果型化合物半導体装置。(5)

(0053)

(発明の効果) 本発明によれば、 Al, Ga, \dots, N キャリア供給層上に設ける保護層としてドーパ Al, Ga, \dots, N 層 ($y < x$) を用いるとともに、表面を SiN 膜で被覆しているので、 $I-V$ 特性を安定にすることができるとともに、順方向耐圧及び逆方向耐圧を高めることができ、それによって、高電圧動作が可能になるので、無線電話システムの高機能化・高出力化に寄与するところが

大きい。

【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

【図2】本発明の第1の実施の形態の GaN 系 HEMT の説明図である。

【図3】本発明の第1の実施の形態の GaN 系 HEMT の $I-V$ 特性図である。

【図4】本発明の第1の実施の形態の GaN 系 HEMT の逆方向耐圧 $B V_{00}$ の説明図である。

【図5】本発明の第2の実施の形態の GaN 系 HEMT の概略的断面図である。

【図6】本発明の第3の実施の形態の GaN 系 HEMT の概略的断面図である。

【図7】従来の GaN 系 HEMT の説明図である。

【図8】従来の GaN 系 HEMT の $I-V$ 特性図である。

【符号の説明】

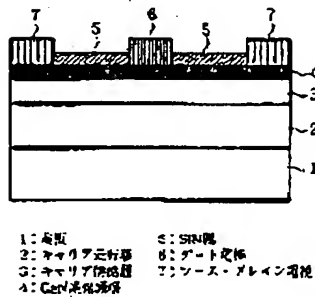
- 1 基板
- 2 キャリア走行層
- 3 キャリア供給層
- 4 GaN 系保護層
- 5 SiN 膜
- 6 ゲート電極
- 7 ソース・ドレイン電極
- 11 サファイア基板
- 12 i 型 GaN 電子走行層
- 13 i 型 Al, \dots, Ga, \dots, N 層
- 14 n 型 Al, \dots, Ga, \dots, N 電子供給層
- 15 n 型 GaN 保護層
- 16 SiN 膜
- 17 ゲート電極
- 18 ソース電極
- 19 ドレイン電極
- 20 二次元電子層
- 21 ホール
- 31 i 型 GaN 保護層
- 32 n 型 AlN 層
- 41 サファイア基板
- 42 i 型 GaN 電子走行層
- 43 i 型 Al, \dots, Ga, \dots, N 層
- 44 n 型 Al, \dots, Ga, \dots, N 電子供給層
- 45 i 型 Al, \dots, Ga, \dots, N 保護層
- 46 SiN 膜
- 47 ゲート電極
- 48 ソース電極
- 49 ドレイン電極
- 50 二次元電子層

(7)

特開2002-359256

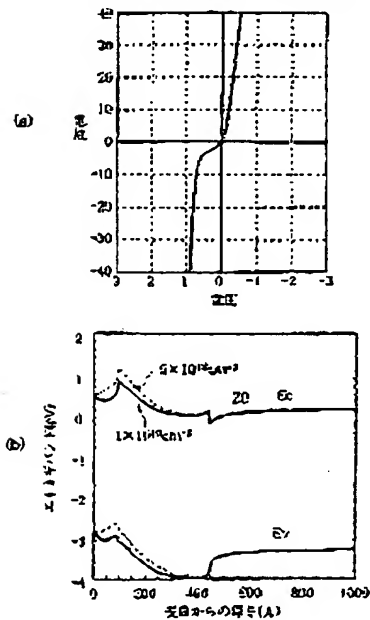
【図1】

本発明の原理的構成の説明図



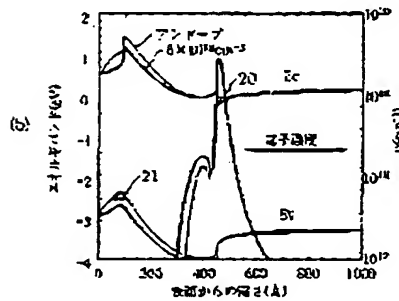
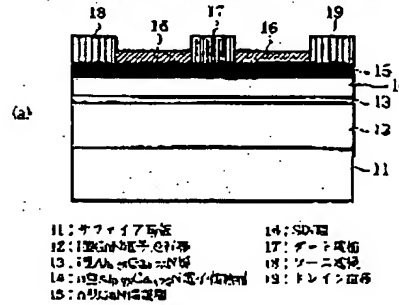
【図4】

本発明の第1の実施形態のHMTのBV_{max}の
保護層の不純物濃度依存性の説明図



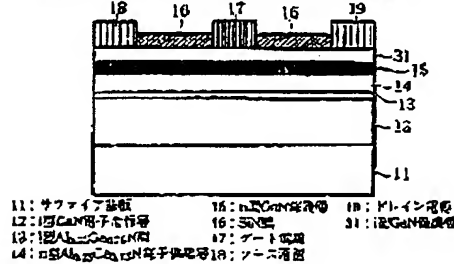
【図2】

本発明の第1の実施形態のHMTの説明図



【図5】

本発明の第2の実施形態のHMTの断面図

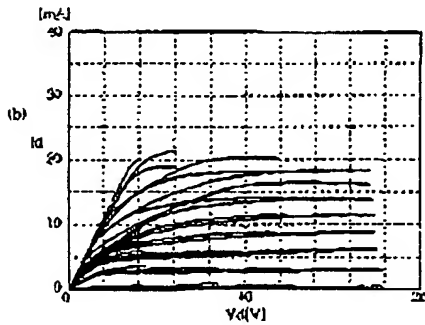
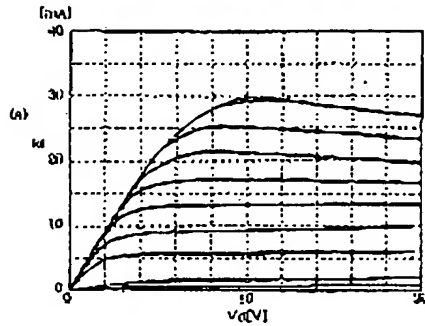


(3)

特開2002-359256

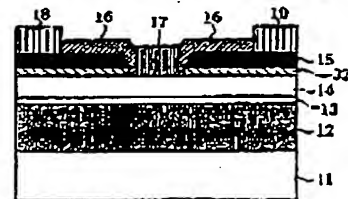
【図3】

本発明の第1の実施形態のHJMTのI-V特性図



【図6】

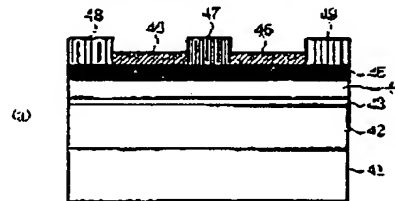
本発明の第2の実施形態のHJMTの模式的断面図



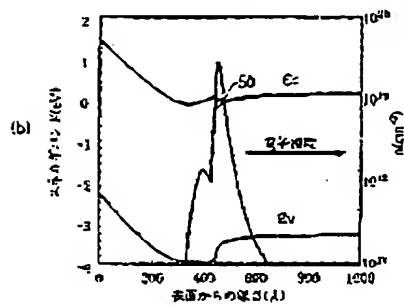
- | | | |
|-------------------|---------------|-------------|
| 11: マフニイア層 | 15: n型GaInAs層 | 19: ドレイン電極 |
| 12: InGaAs電子伝導層 | 16: SAl層 | 22: n型AlIn層 |
| 13: InAlGaPコンタクト層 | 17: ゲート電極 | |
| 14: InGaAsPコンタクト層 | 18: ソース電極 | |

【図7】

従来HJMTの説明図



- | | |
|-------------------|-------------|
| 41: マフニイア層 | 45: InGaAs層 |
| 42: InGaAsPコンタクト層 | 47: ゲート電極 |
| 43: InAlGaPコンタクト層 | 48: ソース電極 |
| 44: InGaAsPコンタクト層 | 49: ドレイン電極 |



(9)

特開2002-359256

【図8】

従来のHEMTのI-V特性図

